

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220094

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 10-019559

(71)Applicant : SONY CORP

(22)Date of filing : 30.01.1998

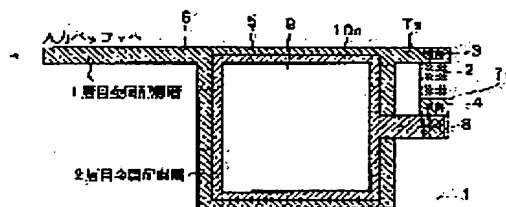
(72)Inventor : USUKI HIDEKI

(54) INPUT PROTECTION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce layout area, and to suppress the increase of input capacity, by forming a resistance element between a metal wiring region being formed in a first metal wiring layer and an input pad being formed in a second metal wiring layer being separated from the first metal wiring layer at the lower part of the input pad.

SOLUTION: In an input protection circuit, a second metal wiring layer (the metal wiring layer of a second layer) is formed on the surface of a first metal wiring layer (the metal wiring layer of a first layer) which is stratified on the surface of a semiconductor substrate 1, an input pad 10a is formed on the metal wiring layer of the second layer. Furthermore, a metal wiring region 5 with size that is the same as the input pad 10a or is larger than the input pad 10a is formed in the metal wiring layer of the first layer of the lower part of the input pad 10a. A polysilicon layer 2 is stratified between the metal wiring layer of the first layer and the substrate 1, and a resistance element R1 is equivalently formed by the polysilicon layer 2. More specifically, the resistance element R1 is connected between the input pad 10a and the wiring region 5 being formed at the lower part of the input pad 10a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-220094

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

H

21/822

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号

特願平10-19559

(22) 出願日

平成10年(1998) 1月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 白木 秀樹

東京都品川区北品川6丁目7番35号 ソニー株式会社内

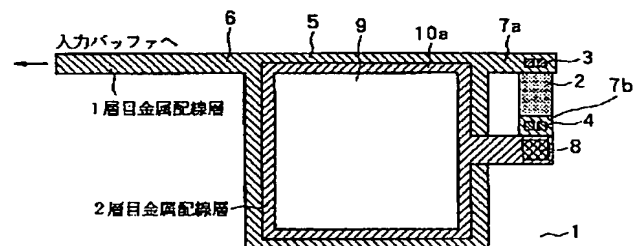
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 入力保護回路

(57) 【要約】

【課題】 回路のレイアウト面積を縮小でき、保護能力を低下させることなく入力容量の増加を抑制できる入力保護回路を提供するを実現する。

【解決手段】 抵抗部20aにおいて抵抗素子R1と寄生容量からなるローパスフィルタによって、静電気などにより入力パッド10aに発生した高電圧パルス信号のピークレベルを抑制する。抑制したパルス信号のピークレベルが電源電圧V_{CC}を越えた場合、或いはピークレベルが接地電位GNDより低い場合に、電圧制限回路30aにより、パルス信号のピークレベルがクランプされ、ほぼ接地電位GNDレベルと電源電圧V_{CC}レベルとの間に制限されるので、入力バッファ40の入力端子に印加された信号のレベルがこの範囲内に限定され、静電気による入力バッファ40および内部回路の破壊が防止される。また、入力パッドの寄生容量を低減でき、入力保護回路のレイアウト面積の縮小を実現できる。



【特許請求の範囲】

【請求項 1】半導体基板表面に少なくとも当該半導体基板と電氣的に分離して成層された第 1 金属配線層と、上記第 1 金属配線層の表面上に上記第 1 金属配線層と電氣的に分離して成層された第 2 金属配線層とを有する入力保護回路であって、

上記第 2 金属配線層に形成された入力パッドと、
上記入力パッドの下部に、上記第 1 金属配線層に上記入力パッドに応じて形成された金属配線領域と、
上記第 1 金属配線層に形成された上記金属配線領域と上記第 2 金属配線層に形成された上記入力パッドとの間に形成された抵抗素子とを有する入力保護回路。

【請求項 2】半導体基板表面に少なくとも当該半導体基板と電氣的に分離して成層された第 1 金属配線層と、上記第 1 金属配線層の表面上に上記第 1 金属配線層と電氣的に分離して成層された第 2 金属配線層とを有する入力保護回路であって、

上記第 2 金属配線層に形成された入力パッドと、
上記入力パッドの下部に、上記第 1 金属配線層に上記入力パッドに応じて形成された金属配線領域と、
上記第 1 金属配線層に形成された上記金属配線領域と上記第 2 金属配線層に形成された上記入力パッドとの間に形成された抵抗素子と、
入力端子が上記金属配線領域に接続されている入力バッファとを有する入力保護回路。

【請求項 3】上記第 1 金属配線層に形成された上記金属配線領域は、上記入力パッドとほぼ同じサイズである請求項 2 記載の入力保護回路。

【請求項 4】上記第 1 金属配線層に形成された上記金属配線領域は、上記入力パッドよりサイズが大きく形成されている請求項 2 記載の入力保護回路。

【請求項 5】上記抵抗素子は、上記第 1 金属配線層と上記基板との間に形成されたポリシリコン層において形成される請求項 2 記載の入力保護回路。

【請求項 6】アノードが上記金属配線領域に接続され、カソードが電源電圧に接続されている第 1 のダイオードと、
アノードが共通電位に接続され、カソードが上記金属配線領域に接続されている第 2 のダイオードとを有する請求項 2 記載の入力保護回路。

【請求項 7】上記第 1 のダイオードは、ゲート電極とソース拡散層は上記電源電圧に接続され、ドレインは上記金属配線領域に接続されている第 1 導電型絶縁ゲート型電界効果トランジスタにより構成され、
上記第 2 のダイオードは、ゲート電極とソース拡散層は上記共通電位に接続され、ドレインは上記金属配線領域に接続されている第 2 導電型絶縁ゲート型電界効果トランジスタにより構成されている請求項 6 記載の入力保護回路。

【請求項 8】上記第 1 金属配線層において、上記金属配

線領域と上記入力バッファの入力端子との間に形成された金属配線を有し、

アノードが上記金属配線に接続され、カソードが電源電圧に接続されている第 1 のダイオードと、

アノードが共通電位に接続され、カソードが上記金属配線に接続されている第 2 のダイオードとを有する請求項 2 記載の入力保護回路。

【請求項 9】上記第 1 のダイオードは、ゲート電極とソース拡散層は上記電源電圧に接続され、ドレインは上記金属配線に接続されている第 1 導電型絶縁ゲート型電界効果トランジスタにより構成され、

上記第 2 のダイオードは、ゲート電極とソース拡散層は上記共通電位に接続され、ドレインは上記金属配線に接続されている第 2 導電型絶縁ゲート型電界効果トランジスタにより構成されている請求項 8 記載の入力保護回路。

【請求項 10】上記入力バッファは、ゲート電極が上記金属配線領域に接続され、ソース拡散層が電源電圧に接続されている第 1 導電型絶縁ゲート型電界効果トランジスタと、

ゲート電極が上記金属配線領域に接続され、ソース拡散層が共通電位に接続され、ドレインが上記第 1 導電型絶縁ゲート型電界効果トランジスタのドレインとともに内部回路の入力端子に接続されている第 2 導電型絶縁ゲート型電界効果トランジスタとを有する請求項 2 記載の入力保護回路。

【請求項 11】上記第 1 金属配線層において、上記金属配線領域と上記入力バッファの入力端子との間に形成された金属配線を有し、

上記入力バッファは、ゲート電極が上記金属配線に接続され、ソース拡散層が電源電圧に接続されている第 1 導電型絶縁ゲート型電界効果トランジスタと、

ゲート電極が上記金属配線に接続され、ソース拡散層が共通電位に接続され、ドレインが上記第 1 導電型絶縁ゲート型電界効果トランジスタのドレインとともに内部回路の入力端子に接続されている第 2 導電型絶縁ゲート型電界効果トランジスタとを有する請求項 2 記載の入力保護回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、ICチップの入力パッドと内部回路の入力端子との間に形成され、静電気により入力パッドに発生した高電圧のパルスのピーク電圧を抑制し、ICチップの静電耐圧の向上を図り、静電気によるICチップの破壊を防ぐ入力保護回路に関するものである。

【0002】

【従来の技術】近年半導体集積回路（IC回路）の高速化が進むにつれて、入力容量を増加させることなく、また信号遅延を発生させることなくICチップの静電耐圧

を確保し、静電気に起因するICチップの破壊を防止することが益々重要となってきた。この目的を達成するために、一般的にICチップの入力パッドと内部回路の入力端子との間に入力保護回路が設けられている。

【0003】図6は一般的にICチップに形成されている入力保護回路の一例を示している。図示のように、本例の入力保護回路は、入力パッド10、抵抗部20、電圧制限回路30および入力バッファ40により構成されている。入力パッド10は、例えば、アルミニウム(A1)からなる金属配線層において形成される。抵抗部20は、入力パッド10と電圧制限回路30との間に形成された抵抗素子R1からなり、抵抗素子R1は通常配線による寄生抵抗素子、或いは拡散層によって挿入された抵抗素子である。電圧制限回路30は、pMOSトランジスタ31とnMOSトランジスタ32とにより構成されている。pMOSトランジスタ31のゲート電極とソース拡散層はともに電源電圧 V_{CC} に接続され、nMOSトランジスタ32のゲート電極とソース拡散層はともに共通電位、例えば接地電位GNDに接続されている。抵抗部20と入力バッファ40の入力端子との間に、例えば金属配線33からなる信号線が形成され、pMOSトランジスタ31とnMOSトランジスタ32のドレイン拡散層は、ともに金属配線33に接続されている。

【0004】図7は、上述した入力保護回路の等価回路を示している。図示のように、当該等価回路において、入力パッド10と接地電位GNDとの間に、寄生容量 C_{p1} が存在し、抵抗素子R1と接地電位GNDとの間に、寄生容量 C_{p2} が存在する。また、電圧制限回路30において、pMOSトランジスタ31は、金属配線33から電源電圧 V_{CC} に向かって順方向となるダイオードD1を構成し、nMOSトランジスタ32は、接地電位GNDから金属配線33に向かって順方向となるダイオードD2を構成している。金属配線33と電源電圧 V_{CC} との間に、pMOSトランジスタ31のドレイン拡散ジャンクション容量からなる寄生容量 C_{p3} が存在し、金属配線33と接地電位GNDとの間に、nMOSトランジスタ32のドレイン拡散ジャンクション容量からなる寄生容量 C_{p4} が存在する。入力バッファ40は、pMOSトランジスタ41とnMOSトランジスタ42により構成されている。pMOSトランジスタ41のゲートはnMOSトランジスタ42のゲートとともに金属配線33に接続されている。pMOSトランジスタ41のソース拡散層は電源電圧 V_{CC} に接続され、nMOSトランジスタ42のソース拡散層は接地電位GNDに接続されている。さらに、pMOSトランジスタ41とnMOSトランジスタ42のドレイン同士が共通に接続され、その接続点は図示していない内部回路の入力端子に接続されている。

【0005】図8および図9は、図7に示す等価回路の各部の信号波形を示し、本例の入力保護回路の原理を示

している。図8に示すように、例えば静電気などにより、入力パッド10に瞬間的に高電圧を持つ正のパルス信号が発生される。抵抗素子R1と電圧制限回路30の寄生容量 C_{p3} 、 C_{p4} によりローパスフィルタが形成されるので、入力パッドに現れたパルスの高周波成分が抑制され、パルスのピーク電圧が抑えられる。

【0006】ローパスフィルタにより抑制されたパルスのピーク電圧が電源電圧 V_{CC} より高い場合に、電圧制限回路30においてダイオードD1が導通状態にあり、パルスにより金属配線33に蓄積した電荷はダイオードD1を通り電源側へ抜けるため、金属配線33の電位は電源電圧 V_{CC} レベルにクランプされる。

【0007】さらに、図9に示すように、例えば静電気により入力パッド10に高電圧を持つ負のパルスが現れた場合に、抵抗素子R1と電圧制限回路30の寄生容量 C_{p3} 、 C_{p4} によりローパスフィルタが形成されるので、入力パッドに発生したパルスの高周波成分が抑制され、パルスのピーク電圧が抑えられる。さらに、ローパスフィルタにより抑制された負のパルスの電位が接地電位GNDより低い場合に、ダイオードD2が導通状態にあり、接地線側に蓄積した電荷がダイオードD2を通り金属配線33に抜けるため、金属配線33の電位は接地電位GNDレベルにクランプされる。

【0008】上述したように、静電気などにより入力パッド10に高電圧の正または負のパルスが発生した場合に、抵抗素子R1と寄生容量 C_{p3} 、 C_{p4} とにより構成されたローパスフィルタにより、発生したパルスのピーク電圧が抑制される。さらに、抑制されたパルスのピーク電圧が電源電圧 V_{CC} を越えたとき、ダイオードD1が導通し、入力信号線である金属配線33の電位が電源電圧 V_{CC} レベルにクランプされる。またはローパスフィルタにより抑制されたパルスのピーク電圧が接地電位GNDより低いとき、ダイオードD2が導通し、入力信号線の電位が接地電位GNDレベルにクランプされる。

【0009】

【発明が解決しようとする課題】ところで、上述した従来の入力保護回路の保護能力を上げるために、電圧制限回路30につく寄生容量 C_{p3} 、 C_{p4} の容量値を上げること、即ち、pMOSトランジスタ31とnMOSトランジスタ32のサイズを大きくすることと、抵抗素子R1の抵抗値を上げることが有効である。しかし、抵抗素子R1の抵抗値を大きくすることは、抵抗自体の焼損を招いたり、または入力信号の遅延を大きくさせる結果となり、抵抗値の増加には限度があるので、電圧制限回路30のトランジスタのサイズを大きくすることが必要である。一方、入力パッド10からみた回路の入力容量は、寄生容量 $C_{p1} \sim C_{p5}$ の容量の和である。入力容量は外部回路がICチップを駆動する際の負荷容量となるため、可能な限り小さくすることが望ましい。従って、従来の入力保護回路においては、入力保護回路のサ

イズは、希望の入力保護能力と入力容量の許容値とのトレードオフによって決定しなければならないという不利がある。

【0010】さらに、入力パッド10は、ボンディング、プロービングなどを行うため大面積が必要であり、金属配線と基板との間に大きな寄生容量が発生する。この寄生容量が無駄な容量として入力容量に付加され、ICチップの入力容量の増加を招く。

【0011】本発明は、かかる事情に鑑みてなされたものであり、その目的は、従来の入力保護回路に無駄であった入力パッドの寄生容量を入力保護機能に寄与させることにより、レイアウト面積を縮小でき、入力容量の増加を抑制できる入力保護回路を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の入力保護回路は、半導体基板表面に少なくとも当該半導体基板と電気的に分離して成層された第1金属配線層と、上記第1金属配線層の表面に上記第1金属配線層と電気的に分離して成層された第2金属配線層とを有する入力保護回路であって、上記第2金属配線層に形成された入力パッドと、上記入力パッドの下部に、上記第1金属配線層に上記入力パッドに応じて形成された金属配線領域と、上記第1金属配線層に形成された上記金属配線領域と上記第2金属配線層に形成された上記入力パッドとの間に形成された抵抗素子とを有する。

【0013】また、本発明の入力保護回路は、半導体基板表面に少なくとも当該半導体基板と電気的に分離して成層された第1金属配線層と、上記第1金属配線層の表面に上記第1金属配線層と電気的に分離して成層された第2金属配線層とを有する入力保護回路であって、上記第2金属配線層に形成された入力パッドと、上記入力パッドの下部に、上記第1金属配線層に上記入力パッドに応じて形成された金属配線領域と、上記第1金属配線層に形成された上記金属配線領域と上記第2金属配線層に形成された上記入力パッドとの間に形成された抵抗素子と、入力端子が上記金属配線領域に接続されている入力バッファとを有する。

【0014】また、本発明では、好適には、上記第1金属配線層に形成された上記金属配線領域は、上記入力パッドとほぼ同じサイズ、または上記入力パッドより大きく形成される。

【0015】さらに、本発明では、好適には、上記第1金属配線層において、上記金属配線領域と上記入力バッファの入力端子との間に形成された金属配線を有し、アノードが上記金属配線に接続され、カソードが上記電源電圧に接続されている第1のダイオードと、アノードが共通電位に接続され、カソードが上記金属配線に接続されている第2のダイオードとを有し、さらにまた、上記入力バッファは、ゲート電極が上記金属配線に接続され、ソース拡散層が電源電圧に接続されている第1導電

型絶縁ゲート型電界効果トランジスタと、ゲート電極が上記金属配線に接続され、ソース拡散層が共通電位に接続され、ドレインが上記第1導電型絶縁ゲート型電界効果トランジスタのドレインとともに内部回路の入力端子に接続されている第2導電型絶縁ゲート型電界効果トランジスタとを有する。

【0016】本発明によれば、半導体基板の表面に第1金属配線層が形成され、さらにその表面に第2金属配線層が形成され、当該第2金属配線層に入力パッドが形成され、その下部の第1金属配線層に入力パッドとほぼ同じサイズまたは入力パッドより大きい金属配線領域が形成される。当該金属配線領域と入力パッドとの間に抵抗素子が形成され、さらに金属領域と入力バッファの入力端子との間に金属配線からなる信号線が形成され、当該信号線と電源電圧または当該信号線と共通電位との間に、それぞれダイオードが形成される。第1金属配線層と基板間にまたは第1金属配線層と第2金属配線層との間にそれぞれ寄生容量が存在し、上記抵抗素子および上記第1金属配線層と上記基板間の寄生容量によりローパスフィルタが形成され、入力パッドに静電気などにより高電圧のパルスが発生した場合に、当該ローパスフィルタによりパルスの高周波数成分が減衰され、パルスのピーク電圧が抑制される。さらに抑制されたパルスのピークレベルが電源電圧より高いまたは共通電位より低い場合に、ダイオードによりパルスのピークレベルがほぼ電源電圧または共通電位にクランプされる。

【0017】この結果、静電気破壊を防止する保護能力を低下させることなく、ICチップの入力容量が低減できるので、外部駆動回路の負荷を小さく確保でき、動作速度の向上を実現できる。また、ダイオードを構成するMOSトランジスタのサイズを小さくでき、回路レイアウト面積の縮小が図れる。

【0018】

【発明の実施の形態】図1は本発明に係る入力保護回路の一実施形態を示す簡略平面図である。図示のように、本実施形態の入力保護回路は、半導体基板1の表面に成層されている第1金属配線層（1層目金属配線層）の表面に第2金属配線層（2層目金属配線層）が形成され、当該2層目金属配線層に入力パッド10aが形成され、さらに入力パッド10aの下部1層目金属配線層に、入力パッド10aと同サイズ或いは入力パッド10aより大きい金属配線領域5が形成される。なお、入力パッド10aの表面に入力パッド窓9が形成されており、ボンディングの際、当該入力パッド窓9を通して、図示しない、例えばリードフレームと入力パッド10aとの間に銅（Au）またはアルミニウム（Al）で形成された金属線（ワイヤー）が接続される。金属配線領域5は、同じく1層目金属配線層に形成されている信号線6を介して、例えば、入力バッファの入力端子に接続されている。

【0019】図2は、本実施形態の入力保護回路の構成を示す簡略断面図である。以下、図1および図2を参照しながら、本実施形態の入力保護回路の構成について説明する。入力パッド10aは、2層目金属配線層と1層目金属配線層との間に形成されたコンタクト8を介して、1層目金属配線層に形成された微小な配線領域7bと接続されている。図示のように、1層目金属配線層と基板1との間に、例えば、ポリシリコンからなるポリシリコン層2が成層されている。なお、図示していないが、基板1とポリシリコン層2との間に、例えば酸化シリコン(SiO_2)からなる絶縁層が形成され、また、1層目金属配線層と基板1との間に、同様に酸化シリコンからなる絶縁層が成層され、さらに1層目金属配線層と2層目金属配線層との間にも、例えば、酸化シリコンからなる絶縁層が成層される。このため、ポリシリコン層2と基板1また1層目金属配線層とは絶縁されており、同様に、1層目金属配線層と基板1または2層目金属配線層とは絶縁されている。絶縁されているこれらの層間にコンタクトが形成されるので、これらのコンタクトを通して異なる層の間に信号転送が行われる。

【0020】例えば、図2に示すように、1層目金属配線層に形成された微小配線領域7bとポリシリコン層2との間に、コンタクト4が形成され、さらにポリシリコン層2と1層目金属配線層に形成された微小配線領域7aとの間にコンタクト3が形成されている。なお、1層目金属配線層に形成された微小配線領域7aは、金属配線領域5と接続されている。

【0021】入力パッド10aに入力された信号は、コンタクト8を介して2層目金属配線層に形成された微小配線領域7bに転送され、さらにコンタクト4を介してポリシリコン層2に転送される。図示のように、コンタクト3とコンタクト4との間のポリシリコン層2は、所定の形状に形成されている。このため、ポリシリコン層2はコンタクト3とコンタクト4との間に所定の抵抗を生じる。即ち、本実施形態においては、ポリシリコン層2により抵抗素子が構成される。なお、本実施形態では、一例としてポリシリコン層2に形成された抵抗素子を挙げたが、本発明はこれに限定されるものではなく、入力パッド10aと金属配線領域5との間の抵抗を形成する素子およびそのレイアウト形状については特に限定しない。

【0022】微小配線領域7bに伝送されてきた信号は、ポリシリコン層2に形成された抵抗素子およびコンタクト3を介して、2層目金属配線層に形成された微小配線領域7aに転送され、さらに配線領域5に転送される。配線領域5に接続する信号線6を介して、例えば、図1および図2に示していない入力バッファの入力端子に入力される。

【0023】図3は、入力パッド10a下部に形成された配線領域5と入力パッド10aおよび配線領域5と基

板1との間の寄生容量を示す簡略断面図である。以下、図3を参照しながら、本実施形態の入力保護回路の原理を説明する。配線領域5を基板1との間に、例えば、寄生容量 C_{p21} , C_{p22} , ..., C_{p2n} を有する。配線領域5と入力パッド10aとの間に、例えば、寄生容量 C_{p11} , C_{p12} , ..., C_{p1m} を有する。図3に示すように、本実施形態の入力パッド10aと基板1との間に、ポリシリコン層2および1層目金属配線層がそれぞれ成層されている。このため、入力パッド10aと基板1との間の寄生容量が抑制され、その容量値がごくわずかであり、入力パッド10aからみた入力容量が小さい。入力パッドの入力容量は、外部回路がICチップを駆動する際の負荷となるので、本実施形態の入力保護回路によって、負荷容量が抑制され、高速な駆動が実現しやすくなる。

【0024】ポリシリコン層2により等価的に抵抗素子 R_1 が形成される。即ち、この抵抗素子 R_1 は、入力パッド10aとその下部に形成された配線領域5との間に接続されたものである。

【0025】図4は、入力パッド10aおよび配線領域5の部分における等価回路を示す図である。なお、図4においては配線領域5は単に信号線の形で表記されている。また、回路構成上に当該信号線は入力バッファの入力端子に接続される。図示のように、入力パッド10aと配線領域5との間に、寄生容量 C_{p6} が存在し、さらに配線領域5と基板1との間に寄生容量 C_{p7} が存在する。ここで、寄生容量 C_{p6} は、図3に示す等価回路における寄生容量 C_{p11} , C_{p12} , ..., C_{p1m} の容量の合計値を持つ等価容量であり、寄生容量 C_{p7} は図3に示す等価回路における寄生容量 C_{p21} , C_{p22} , ..., C_{p2n} の容量の合計値を持つ等価容量である。基板1は、通常接地電位GNDに保持されるので、寄生容量 C_{p7} は、図4の等価回路に示すように、等価的に配線領域5と接地電位GNDとの間に接続されている。

【0026】静電気などにより、入力パッド10aに瞬間的に高電圧を持つパルス信号が発生される。このパルスが信号線6を通して半導体装置の入力側に伝達されると、半導体装置が破壊されることがある。いわゆる静電気破壊が起こる。本発明の入力保護回路では、ポリシリコン層2により形成された等価抵抗素子 R_1 と寄生容量 C_{p7} によりローパスフィルタが形成されるので、入力パッド10aに現れたパルスの高周波成分が抑制され、パルスのピーク電圧が抑えられる。

【0027】ピークレベルが抑制されたパルス信号が配線領域5に出力され、さらに、信号線6を介して例えば、入力バッファの入力側に印加される。このとき、入力バッファに印加されるパルス信号のレベルが電源電圧 V_{CC} を越える或いは接地電位GNDより低い場合がある。これは、入力バッファの入力側に、パルス信号のピークレベルを電源電圧 V_{CC} と接地電位GNDとの間に制

限する電圧制限回路を設けることによって対処できる。

【0028】図5は、電圧制限回路が付加された入力保護回路の一構成例を示している。図示のように、本例の入力保護回路は、入力パッド10a、抵抗部20a、電圧制限回路30aおよび入力バッファ40により構成されている。

【0029】入力パッド10aは、図1の平面図および図2の断面図に示すように、2層目金属配線層に形成された所定の面積を持つ金属配線領域である。入力パッド10aは、例えば、ポリシリコン層2で形成された抵抗素子R1を介して入力パッド10aの下部にある1層目金属配線層に形成された金属配線領域5に接続されている。また、図示のように入力パッド10aと接地電位GNDとの間に、寄生容量Cp0が存在するが、前述したように本実施形態の入力保護回路においては、入力パッド10aと基板1との間に、ポリシリコン層2および1層目金属配線層がそれぞれ成層されている。このため、入力パッド10aと基板1との間の寄生容量Cp0が抑制される。即ち、入力パッド10aの入力容量Cp0が小さく、外部回路で駆動する際に、駆動負荷が小さい。抵抗部20aは、ポリシリコン層2に形成された抵抗素子R1および配線領域5と入力パッド間に存在する寄生容量Cp6、配線領域5と接地電位GND間に存在する寄生容量Cp7により構成されている。

【0030】上述したように、抵抗部20aにおいて、抵抗素子R1と寄生容量Cp7によりローパスフィルタが形成される。当該ローパスフィルタにより、例えば、静電気などにより入力パッド10aに発生したパルスの高周波成分が抑制され、パルスのピーク電圧が抑えられる。

【0031】電圧制限回路30aは、pMOSトランジスタ35とnMOSトランジスタ36とにより構成されている。pMOSトランジスタ35のゲート電極とソース拡散層はともに電源電圧Vccに接続され、nMOSトランジスタ36のゲート電極とソース拡散層はともに共通電位、例えば接地電位GNDに接続されている。pMOSトランジスタ35とnMOSトランジスタ36のドレイン拡散層は、ともに信号線6に接続されている。

【0032】信号6と電源電圧Vccとの間に、例えば、pMOSトランジスタ35のドレインソース拡散層のジャンクション容量で形成される寄生容量Cp8が接続され、同様に、信号線6と接地電位GNDとの間に、nMOSトランジスタ36のドレインソース拡散層のジャンクション容量で形成された寄生容量Cp9が接続されている。

【0033】電圧制限回路30aにおいて、pMOSトランジスタ35およびnMOSトランジスタ36はそれぞれダイオード接続となっている。即ち、pMOSトランジスタ35により、等価的に信号線6から電源電圧Vccに向かって順方向となるダイオードが構成され、nM

OSトランジスタ36により、等価的に接地電位GNDから信号線6に向かって順方向となるダイオードが構成される。

【0034】これらのダイオードにより、例えば、信号線6に印加されたパルス信号のピークレベルが電源電圧Vccより高い場合に、トランジスタ35で構成されたダイオードがオン状態となり、トランジスタ35のしきい値電圧を考慮しない場合に、信号線6の電位が電源電圧Vccレベルにクランプされる。トランジスタ35のしきい値電圧を V_{th1} とすると、この場合の信号線6の電位が $(V_{cc} + V_{th1})$ となる。

【0035】また、信号線6に印加されたパルス信号のピークレベルが接地電位GNDより低い場合に、トランジスタ36で構成されたダイオードがオン状態となり、トランジスタ36のしきい値電圧を考慮しない場合に、信号線6の電位が接地電位GNDにクランプされる。なお、トランジスタ36のしきい値電圧を V_{th2} とすると、この場合の信号線6の電位が $(-V_{th2})$ となる。

【0036】入力バッファ40は、pMOSトランジスタ41とnMOSトランジスタ42により構成されている。pMOSトランジスタ41のゲートはnMOSトランジスタ42のゲートとともに信号線6に接続されている。pMOSトランジスタ41のソース拡散層は電源電圧Vccに接続され、nMOSトランジスタ42のソース拡散層は接地電位GNDに接続されている。さらに、pMOSトランジスタ41とnMOSトランジスタ42のドレイン同士が共通に接続され、その接続点は、図示していない内部回路の入力端子に接続されている。

【0037】以上説明したように、本実施形態によれば、抵抗部20aにおいて抵抗素子R1と寄生容量からなるローパスフィルタによって、静電気などにより入力パッド10aに発生した高電圧パルス信号のピークレベルが抑制される。抑制されたパルス信号のピークレベルが電源電圧Vccを越えた場合、或いはピークレベルが接地電位GNDより低い場合に、電圧制限回路30aにより、パルス信号のピークレベルがクランプされ、ほぼ接地電位GNDレベルと電源電圧Vccレベルとの間に制限されるので、入力バッファ40の入力端子に印加された信号のレベルがこの範囲内に限定され、静電気による入力バッファ40および内部回路の破壊が防止される。

【0038】さらに、本実施形態においては、図2に示すように入力パッド10aは、2層目金属配線層において形成され、2層目金属配線層と基板1との間に、抵抗素子R1を形成するためのポリシリコン層2および1層目金属配線層がそれぞれ成層されているので、入力パッド10aと基板1との間にある寄生容量を従来の入力パッドに較べて大幅に低減させることが可能である。本実施形態においては、ローパスフィルタを形成する容量素子は、主に1層目金属配線層に形成された金属配線領域5と基板1間の寄生容量Cp7からなり、電圧制限回路

30aにあるトランジスタ35と36のドレインソース拡散のジャンクション容量からなる寄生容量 C_{p8} と C_{p9} は、ローパスフィルタを形成するための必要構成要素ではない。このため、本実施形態の電圧制限回路30aを構成するトランジスタ35と36のサイズは、図7～9に示す従来の入力保護回路の電圧制限回路30にあるトランジスタ31と32のサイズより小さくすることができるので、入力保護回路全体のサイズの縮小を実現可能である。

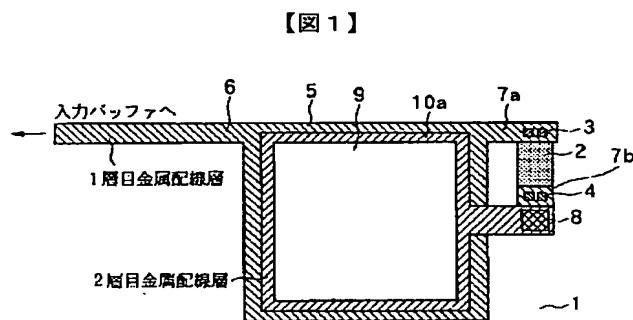
【0039】上述した結果、本実施形態の入力保護回路においては、入力パッド10aの入力容量が従来の入力保護回路により小さくなり、即ち、外部回路からみた入力パッド10aの負荷容量が小さくなり、従来の入力保護回路に較べて、動作速度の向上を実現しやすい。また、入力保護回路の保護機能を低下させることなく、電圧制限回路を構成するトランジスタのサイズを小さくできるので、回路全体のレイアウト面積の縮小を実現できる。

【0040】

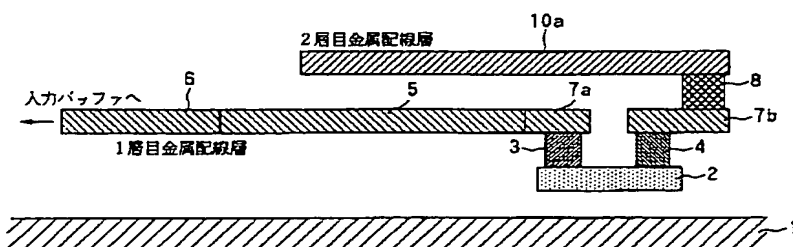
【発明の効果】以上説明したように、本発明の入力保護回路によれば、入力パッドにかかる寄生容量を抑制し、入力負荷を低減することができるので、外部回路による高速な駆動を容易に実現できる。さらに、入力保護機能を低下させることなく、入力保護回路全体のレイアウト面積を縮小でき、半導体装置の高集積度化、ICチップの小型化を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係る入力保護回路の一実施形態を示す



【図2】



簡略断面図である。

【図2】本実施形態の入力保護回路の構成を示す簡略断面図である。

【図3】本実施形態の入力保護回路の寄生容量を示す簡略断面図である。

【図4】本実施形態の等価回路である。

【図5】本発明の入力保護回路の一構成例を示す回路図である。

【図6】従来の入力保護回路の一構成例を示す回路図である。

【図7】図6に示す従来の入力保護回路の等価回路を示す回路図である。

【図8】従来の入力保護回路の等価回路および各部分の信号波形を示す図である。

【図9】従来の入力保護回路の等価回路および各部分信号波形を示し、動作原理を説明するための図である。

【符号の説明】

1…基板、2…ポリシリコン層、3、4…コンタクト、5…金属配線領域、6…信号線、7a、7b…微小配線領域、8…コンタクト、9…入力パッド窓、10、10a…入力パッド、20、20a…抵抗部、30、30a…電圧制限回路、40…入力バッファ、31、35、41…pMOSトランジスタ、32、36、42…nMOSトランジスタ、R1…抵抗素子、 C_{p0} 、 C_{p1} 、 C_{p2} 、 C_{p3} 、 C_{p4} 、 C_{p5} 、 C_{p6} 、 C_{p7} 、 C_{p8} 、 C_{p9} …寄生容量、 V_{CC} …電源電圧、GND…接地電位。

【図4】

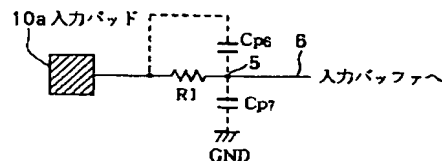
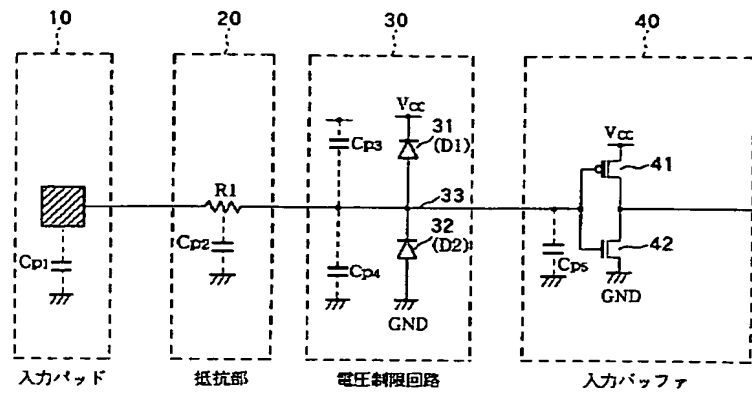
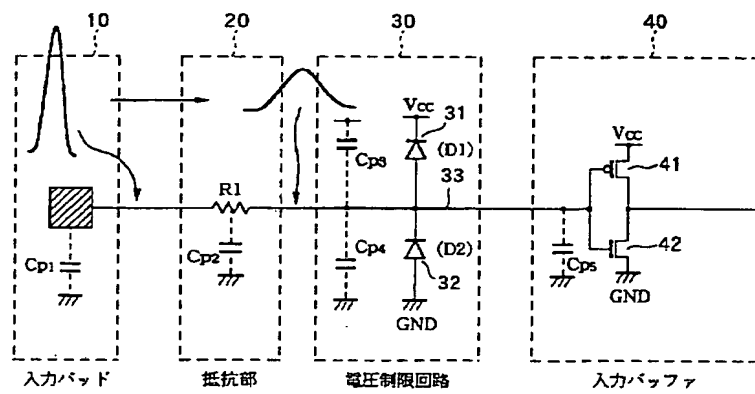


Figure 1 is a block diagram of a signal processing circuit. The circuit is divided into four sections: 10 (Input Pad), 20 (Resistor), 30 (Voltage Limiting Circuit), and 40 (Input Buffer). Section 10 contains a shaded square representing the input pad. Section 20 contains a resistor R1. Section 30 contains a voltage limiting circuit with two transistors 31 and 32, connected to Vcc and GND, with a node 33 between them. Section 40 contains an input buffer with two transistors 41 and 42, connected to Vcc and GND, with a node between them connected to a capacitor Cps and GND. The signal path is indicated by a solid line connecting the sections.

【図 7】



【図 8】



【図 9】

